

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-131637  
 (43)Date of publication of application : 09.05.2003

(51)Int.Cl.

G09G 3/36  
 G02F 1/133  
 G09G 3/20

(21)Application number : 2001-332106

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 30.10.2001

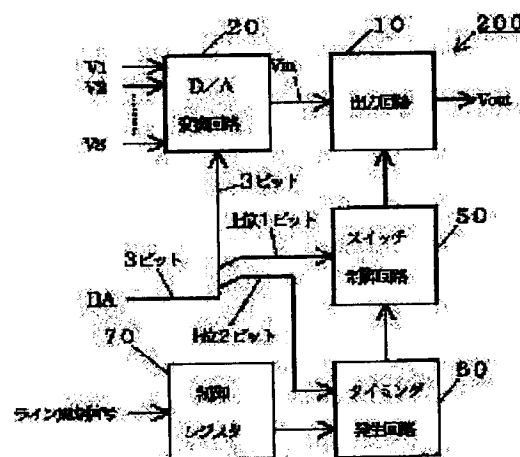
(72)Inventor : UEDA TOSHIKI

## (54) DRIVING CIRCUIT FOR DISPLAY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To further reduce the power consumption of a liquid crystal display device.

SOLUTION: In this driving circuit of the display device, a line period T1 is counted by a control register 70 and a timing signal regulating a precharge period T2 corresponding to the count value is generated in a timing generating circuit 60 and a switch control circuit 50 controls the switch of an output circuit 10 in this timing. When a moving picture is displayed (a line period T1d), the precharge period is controlled to a period T2d, and when a still picture is displayed (the line period T1S (>T1d)), the precharge period is controlled to a period T2S (>T2d). Moreover, a timing signal regulating a precharge period corresponding to a gradation voltage level is generated in the timing generating circuit 60 on the basis of the upper two bits of a data signal and the switch control circuit 50 controls the switch of the output circuit 10 in this timing.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-131637

(P2003-131637A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 0		5 7 0 5 C 0 8 0
	5 7 5		5 7 5
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
審査請求 未請求 請求項の数4 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2001-332106 (P2001-332106)

(22) 出願日 平成13年10月30日 (2001. 10. 30)

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者 植田 敏明

滋賀県大津市晴嵐2丁目9番1号 関西日

本電気株式会社内

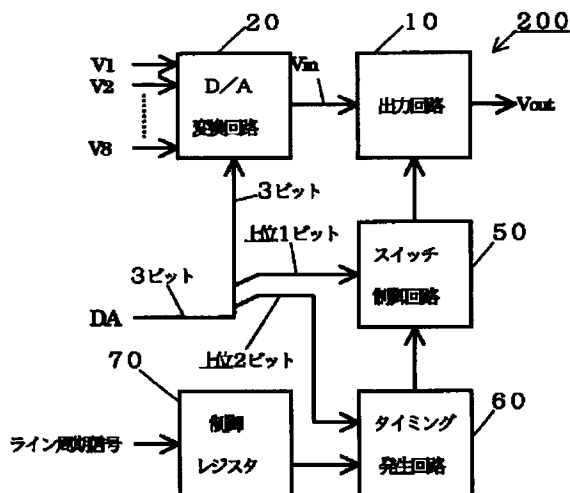
最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【課題】 ライン周期が長くなる静止画表示は、プリチャージ後のアクティブ状態となる時間が動画表示より長くなり、駆動回路の低消費電力化に対して改善の余地がある。

【解決手段】 ライン周期 $T_1$ を制御レジスタ70にてカウントし、タイミング発生回路60にてこのカウント値に応じたプリチャージ期間 $T_2$ に規制するタイミング信号を生成し、スイッチ制御回路50にて、このタイミングで、出力回路10のスイッチを制御する。動画表示 (ライン周期 $T_{1a}$ ) のとき、期間 $T_{2a}$ に制御され、静止画表示 (ライン周期 $T_{1s}$  ( $>T_{1a}$ )) のとき、期間 $T_{2s}$  ( $>T_{2a}$ ) に制御される。また、データ信号の上位2ビットに基づいて、タイミング発生回路60にて階調電圧レベルに応じたプリチャージ期間を規制するタイミング信号を生成し、スイッチ制御回路50にて、このタイミングで、出力回路10のスイッチを制御する。



## 【特許請求の範囲】

【請求項1】表示パネルのデータ線に対して、走査線のライン周期ごとに、所定階調電圧を出力する出力回路を具備した表示装置の駆動回路において、出力回路は、プリチャージモードに制御されているプリチャージ期間において、プリチャージ電流以外の動作電流が流れない回路構成のプリチャージ機能を有し、前記プリチャージ期間の長さが、前記ライン周期の長さに応じて制御されることを特徴とする駆動回路。

【請求項2】前記プリチャージ期間の長さが、さらに前記所定階調電圧のレベルに応じた長さに制御されることを特徴とする請求項1記載の駆動回路。

【請求項3】表示パネルのデータ線に対して、走査線のライン周期ごとに、プリチャージの後に所定階調電圧を出力する表示装置の駆動回路において、前記ライン周期をカウントする制御レジスタと、前記プリチャージの期間をこのカウント値に応じた長さに設定するタイミング信号を生成するタイミング発生回路と、

このタイミング信号のタイミングに基づく制御信号を生成するスイッチ制御回路とこの制御信号によりプリチャージ期間が制御され、このプリチャージ期間において、プリチャージ電流以外の動作電流が流れない回路構成のプリチャージ機能を有し、前記所定階調電圧を出力する出力回路とを具備したことを特徴とする駆動回路。

【請求項4】前記タイミング信号が、前記所定階調電圧の階調を示す $m$ ビットの上位 $k$ （2以上の整数）ビットのデータ信号を前記タイミング発生回路に供給して、前記所定階調電圧のレベルに応じた長さに制御されることを特徴とする請求項3記載の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は表示装置の駆動回路に関し、詳しくは、容量性負荷からなる表示パネルのデータ線に階調電圧を供給する駆動回路に関する。

## 【0002】

【従来の技術】液晶表示装置は、薄型、軽量、低電力という特長から、携帯機器やノートパソコンなどの携帯端末を始め様々な装置に用いられている。昨今の普及が目覚ましい携帯電話にも用いられており、急激な普及とともに携帯電話の液晶パネルのカラー化および大型化が進み、それに伴い、省電力化の要求も強く、より低消費電力の駆動回路が求められている。

【0003】特開平11-119750号公報には、省電力化の要求に応えるために発明されたアクティブマトリクス駆動方式を用いた液晶表示装置の駆動回路が開示されている。上記公報に示されているように、一般に、アクティブマトリクス駆動方式を用いた液晶表示装置の液晶パネルは、透明な画素電極および薄膜トランジスタ（TFT）を配置した半導体基板と、面全体に1つの透

明な電極を形成した対向基板と、これら2枚の基板を対向させて間に液晶を封入した構造からなり、スイッチング機能を持つTFTを制御することにより各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させて画像を表示するものである。半導体基板上には、各画素電極へ印加する階調電圧を送るデータ線と、TFTのスイッチング制御信号（走査信号）を送る走査線とが配線されている。各走査線にはパルス状の走査信号が走査線駆動回路より送られ、走査線に印加された走査信号がハイレベルのとき、データ線駆動回路よりその走査線につながるTFTが全てオンとなり、そのときにデータ線に送られた階調電圧が、オンとなったTFTを介して画素電極に印加される。そして、走査信号がローレベルとなり、TFTがオフ状態に変化すると、画素電極と対向基板電極との電位差は、次の階調電圧が画素電極に印加されるまでの間保持される。そして、各走査線に順次走査信号を送ることにより、全ての画素電極に所定の階調電圧が印加され、フレーム周期で階調電圧の書き替えを行うことにより画像を表示することができる。

【0004】上記公報に開示された発明は、データ線駆動回路のドライバ部（以下、出力回路という）に、従来オペアンプを用いていたのに対して、オペアンプを用いないものであり、上記公報に開示されているデータ線駆動回路の出力回路を図3を参照して説明する。図において、10は出力回路で、共通ゲート電極を有する2つのPチャンネルMOSトランジスタ1、2と2つのNチャンネルMOSトランジスタ1'、2'とが設けられている。入力電圧 $V_{in}$ はスイッチSW1を介してトランジスタ1のソースに接続されるとともに、スイッチSW1'を介してトランジスタ1'のソースに接続され、トランジスタ1のドレインおよびゲートはスイッチSW2を介して電源電圧 $V_{ss}$ に接続されるとともに、トランジスタ1'のドレインおよびゲートはスイッチSW2'を介して電源電圧 $V_{DD}$ （ $>V_{ss}$ ）に接続される。トランジスタ2のソースおよびトランジスタ2'のソースはデータ線DLに接続され、トランジスタ2のドレインはスイッチSW4を介して電源電圧 $V_{ss}$ に接続されるとともに、トランジスタ2'のドレインはスイッチSW4'を介して電源電圧 $V_{DD}$ に接続される。またデータ線DLはスイッチSW3を介して電源電圧 $V_{DD}$ に接続されるとともに、スイッチSW3'を介して電源電圧 $V_{ss}$ に接続される。

【0005】上述の出力回路10を用いた従来の液晶表示装置のデータ線駆動回路100について、説明を簡明にするために、データ線1本分を駆動するものとして、図4を参照して説明する。データ線駆動回路100は、出力回路10と、階調を示す、例えば、 $m=3$ ビットのデータ信号 $DA=D3$ （上位側）、 $D2$ 、 $D1$ （下位側）に基づいて、表1に示すように、 $n=8$ （ $=2$ の3

乗) 階調の階調電圧 $V1 \sim V8$  ( $V1 > V8$ ) のうちの1つの階調電圧を出力回路10に供給するD/A変換回路20と、出力回路10に含まれるスイッチを制御するスイッチ制御回路30と、スイッチ制御回路30にタイミング信号を供給するタイミング発生回路40とを具備している。

【0006】

【表1】

VDD>V1>...>V8>VSS			
	データ信号		
	D3	D2	D1
VDD: プリチャージ電圧			
V1	0	0	0
V2	0	0	1
V3	0	1	0
V4	0	1	1
V5	1	0	0
V6	1	0	1
V7	1	1	0
V8	1	1	1
VSS: プリチャージ電圧			

【0007】このデータ線駆動回路100の動作を図5を参照して説明する。尚、図5はライン周期 $T1$ : 時刻 $t0 \sim t3$ として2ライン周期を示し、第1ライン周期 $T1_1$ : 時刻 $t0_1 \sim t3_1$ は、プリチャージ期間 $T2$ : 時刻 $t0_1 \sim t2_1$ に電源電圧 $V_{DD}$ を出力後に、階調電圧 $V1 \sim V4$ のうちの1つの階調電圧として、例えば $V2$  (実線) または $V4$  (点線) を出力し、第2ライン周期 $T1_2$ : 時刻 $t0_2 \sim t3_2$ は、プリチャージ期間 $T2$ : 時刻 $t0_2 \sim t2_2$ に電源電圧 $V_{SS}$ を出力後に、階調電圧 $V5 \sim V8$ のうちの1つの階調電圧として、例えば $V7$  (実線) または $V5$  (点線) を出力する場合を例として示す。

【0008】また、このデータ線駆動回路100は、液晶を交流で駆動するために、ライン周期毎にデータ線の極性を反転し、同時に対向基板電極電位も変えるHコモン反転駆動法が用いられ、例えば全面に黒を書き込む場合、データ信号 $DA = "000"$ に基づき、ある一ライン周期の画素電極の電位が $V1 = 5V$ であれば、対向基板電極電位は $V_{COM} = 1V$ となり、次のライン周期の画素電極の電位が $V8 = 1V$ であれば、対向基板電極電位は $V_{COM} = 5V$ となり、データ信号 $DA = "000"$ に対する階調電圧は、正印加のとき $V1$ 、負印加のとき $V8$ となるが、以下の動作説明では、第1ライン周期 $T1_1$ と第2ライン周期 $T1_2$ とでデータ線の極性を反転せず同一極性のライン周期として説明する。

【0009】タイミング発生回路40において、ライン周期 $T1$ を規制するライン周期信号が内部生成され(図5の(A))、このライン周期信号の周期ごとに期間 $T3$ : 時刻 $t0 \sim t1$ をパルス波形とする第1タイミング信号と、期間 $T2$ : 時刻 $t0 \sim t2$ をパルス波形とする第2タイミング信号とが生成され(図5の(B))、

(C))、これらのタイミング信号がスイッチ制御回路30に供給される。また、スイッチ制御回路30には、

データ信号 $DA$ の上位1ビット信号 $D3$ が供給される。

【0010】スイッチ制御回路30において、第1タイミング信号に基づいて、時刻 $t0$ にスイッチ $SW1$  ( $SW1'$ )、 $SW2$  ( $SW2'$ ) をそれぞれ、オフ、オン、時刻 $t1$ にスイッチ $SW1$  ( $SW1'$ )、 $SW2$  ( $SW2'$ ) をそれぞれ、オン、オフに切替える制御信号が生成される(図5の(D))、(E))とともに、第2タイミング信号に基づいて、時刻 $t0$ に $SW4$  ( $SW4'$ ) をオフ、時刻 $t2$ にスイッチ $SW4$  ( $SW4'$ )

をオンに切替える制御信号が生成され(図5の(H))、これらの制御信号が出力回路10に供給される。また、スイッチ制御回路30において、ビット信号 $D3$ と第2タイミング信号に基づいて、 $D3 = "0"$ のとき、スイッチ $SW3$ を時刻 $t0$ にオン、時刻 $t2$ にオフ、 $D3 = "1"$ のとき、スイッチ $SW3'$ を時刻 $t0$ にオン、時刻 $t2$ にオフに切替える制御信号がそれぞれ生成され(図5の(F))、(G))、これらの制御信号も出力回路10に供給される。

【0011】まず、第1ライン周期 $T1_1$ に階調電圧 $V2$  (実線) を出力し、第2ライン周期 $T1_2$ に階調電圧 $V7$  (実線) を出力する場合について説明する。まず、第1ライン周期 $T1_1$ において、時刻 $t0_1$ にて、データ信号 $DA = "001"$ がD/A変換回路20に供給されるとともに、データ信号 $DA = "001"$ の上位1ビット信号 $D3 = "0"$ がスイッチ制御回路30に供給される。また、タイミング発生回路40から第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給される。データ信号 $DA = "001"$ がD/A変換回路20に供給されると、D/A変換回路20から階調電圧 $V2$ が出力回路10の入力電圧 $V_{in}$ として出力回路10に供給される。ビット信号 $D3 = "0"$ 、第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給されると、スイッチ制御回路30からの制御信号により、出力回路10は以下のように動作する。

【0012】時刻 $t0_1$ にて、スイッチ $SW3$ 、 $SW3'$ 、 $SW4$  ( $SW4'$ ) が、それぞれ、オン、オフ、オフとされ、プリチャージモードに入る(図5の(F))、(G))、(H))。この結果、出力電圧 $V_{out}$ は電圧 $V_{DD}$ まで上昇する(図5の(I))。スイッチ $SW1$  ( $SW1'$ )、 $SW2$  ( $SW2'$ ) は、時刻 $t0_1$ にて、それぞれ、オフ、オンとされ、時刻 $t1_1$ にて、それぞれ、オン、オフとされる(図5の(D))、(E))。次に、時刻 $t2_1$ にて、スイッチ $SW3$ 、 $SW4$  ( $SW4'$ ) は、それぞれ、オフ、オンとされ、プリチャージ期間 $T2$ からなるプリチャージモードは終了する(図5の(F))、(H))。この状態において、トランジスタ2がソースフォロワとして作用するので、出力電圧 $V_{out}$ は、時刻 $t2_1$ から所定時間後に入力電圧 $V_{in} = V2$ とほぼ等しくなり、この状態が時刻 $t3_1$ ま

で維持される(図5の(I))。出力回路10は、プリチャージモードに制御されているプリチャージ期間において、プリチャージ電流以外の動作電流が流れない回路構成を有しているため、期間 $T1_1$ に出力回路10において消費される電力は、プリチャージ期間 $T2$ においては、出力電圧 $V_{out}$ が完全に電圧 $V_{ss}$ まで達するとゼロとなるが、出力回路100がアクティブ状態(時刻 $t2_1 \sim t3_1$ )においては、出力電圧 $V_{out}$ が目的の出力電圧 $V_{out}$ まで達した後も一定の電力を消費する(図5の(J))。

【0013】次に、第2ライン周期 $T1_2$ において、時刻 $t0_2$ にて、データ信号 $DA = "110"$ がD/A変換回路20に供給されるとともに、データ信号 $DA = "110"$ の上位1ビット信号 $D3 = "1"$ がスイッチ制御回路30に供給される。また、タイミング発生回路40から第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給される。データ信号 $DA = "110"$ がD/A変換回路20に供給されると、D/A変換回路20から階調電圧 $V7$ が出力回路10の入力電圧 $V_{in}$ として出力回路10に供給される。ビット信号 $D3 = "1"$ 、第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給されると、スイッチ制御回路30からの制御信号により、出力回路10は以下のように動作する。

【0014】時刻 $t0_2$ ( $t3_1$ )にて、スイッチ $SW3$ 、 $SW3'$ 、 $SW4$ ( $SW4'$ )が、それぞれ、オフ、オン、オフとされ、プリチャージモードに入る(図5の(F)、(G)、(H))。この結果、出力電圧 $V_{out}$ は電圧 $V_{ss}$ まで低下する(図5の(I))。スイッチ $SW1$ ( $SW1'$ )、 $SW2$ ( $SW2'$ )は、時刻 $t0_2$ にて、それぞれ、オフ、オンとされ、時刻 $t1_2$ にて、それぞれ、オン、オフとされる(図5の(D)、(E))。次に、時刻 $t2_2$ にて、スイッチ $SW3'$ 、 $SW4$ ( $SW4'$ )は、それぞれ、オフ、オンとされ、プリチャージ期間 $T2$ からなるプリチャージモードは終了する(図5の(G)、(H))。この状態において、トランジスタ $2'$ がソースフォロウとして作用するので、出力電圧 $V_{out}$ は、時刻 $t2_2$ から所定時間後に入力電圧 $V_{in} = V7$ とほぼ等しくなる(図5の(I))。期間 $T1_2$ に出力回路10において消費される電力は、プリチャージ期間 $T2$ においては、出力電圧 $V_{out}$ が完全に電圧 $V_{ss}$ まで達するとゼロとなるが、出力回路10がアクティブ状態(時刻 $t2_2 \sim t3_2$ )においては、出力電圧 $V_{out}$ が目的の出力電圧 $V_{out}$ まで達した後も一定の電力を消費する(図5の(J))。

【0015】次に、第1ライン周期 $T1_1$ に階調電圧 $V4$ (点線)を出力し、第2ライン周期 $T1_2$ に階調電圧 $V5$ (点線)を出力する場合について説明する。まず、第1ライン周期 $T1_1$ において、時刻 $t0_1$ にて、データ信号 $DA = "011"$ がD/A変換回路20に供給さ

れるとともに、データ信号 $DA = "011"$ の上位1ビット信号 $D3 = "0"$ がスイッチ制御回路30に供給される。また、タイミング発生回路40から第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給される。データ信号 $DA = "011"$ がD/A変換回路20に供給されると、D/A変換回路20から階調電圧 $V4$ が出力回路10の入力電圧 $V_{in}$ として出力回路10に供給される。ビット信号 $D3 = "0"$ 、第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給されると、スイッチ制御回路30からの制御信号により、出力回路10は階調電圧 $V2$ のときと同様に動作し、出力電圧 $V_{out}$ は、時刻 $t0_1 \sim t2_1$ のプリチャージ期間 $T2$ に電圧 $V_{ss}$ となり、時刻 $t2_1$ から所定時間後に入力電圧 $V_{in} = V4$ とほぼ等しくなる。時刻 $t2_1$ から出力電圧 $V_{out}$ として階調電圧 $V4$ に到達するまでの所定時間は、階調電圧 $V2$ に到達するまでの所定時間より長い(図5の(I))。

【0016】次に、第2ライン周期 $T1_2$ において、時刻 $t0_2$ にて、データ信号 $DA = "100"$ がD/A変換回路20に供給されるとともに、データ信号 $DA = "100"$ の上位1ビット信号 $D3 = "1"$ がスイッチ制御回路30に供給される。また、タイミング発生回路40から第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給される。データ信号 $DA = "100"$ がD/A変換回路20に供給されると、D/A変換回路20から階調電圧 $V5$ が出力回路10の入力電圧 $V_{in}$ として出力回路10に供給される。ビット信号 $D3 = "1"$ 、第1タイミング信号および第2タイミング信号がスイッチ制御回路30に供給されると、スイッチ制御回路30からの制御信号により、出力回路10は階調電圧 $V7$ のときと同様に動作し、出力電圧 $V_{out}$ は、時刻 $t0_2 \sim t2_2$ のプリチャージ期間 $T2$ に電圧 $V_{ss}$ となり、時刻 $t2_2$ から所定時間後に入力電圧 $V_{in} = V5$ とほぼ等しくなる。時刻 $t2_2$ から出力電圧 $V_{out}$ として階調電圧 $V5$ に到達するまでの所定時間は、階調電圧 $V7$ に到達するまでの所定時間より長い(図5の(I))。

【0017】

【発明が解決しようとする課題】ところで、例えば、携帯電話に用いられる液晶パネルは、待機状態のとき、通常、静止画表示に設定され、各ライン周期は、動画表示のときより長く設定される。データ線駆動回路100の場合、図5において、ライン周期 $T1_1$ 、 $T1_2$ を、動画表示のときライン周期 $T1_1 = T1_2 = T1_s$ と静止画表示のときライン周期 $T1_1 = T1_2 = T1_s$ とすると、タイミング発生回路40で $T1_s < T1_s$ となるライン周期信号が内部生成されることになる。このとき、タイミング発生回路40で生成される第2タイミング信号のパルス幅は、動画表示、静止画表示にかかわらず一定幅に設定されており、各ライン周期におけるプリチャ

ージ期間は、動画表示、静止画表示にかかわらずプリチャージ期間 $=T2$ と一定である。そのため、静止画表示のときのアクティブ状態となる時間 $T1_s - T2$ が動画表示のときのアクティブ状態となる時間 $T1_a - T2$ より長くなり、図5(J)に示したように、その間も、電力が消費されるので、より低消費電力の駆動回路が求められているのに対して改善の余地がある。また、プリチャージ期間後、出力電圧 $V_{out}$ が目的の階調レベルに到達するまでの時間は、プリチャージ電圧と階調電圧との差が小さいほうが短い。例えば、 $V_{DD}$ に対して電圧差が大きい $V4$ より小さい $V2$ のほうが短い。目的の階調レベルに到達した後のアクティブ状態の時間は、プリチャージ電圧と階調電圧との差が小さいほうが長くなり、この時間が長いとこの時間における消費電力も大きくなり、より低消費電力の駆動回路が求められているのに対して改善の余地がある。従って、本発明の目的は、液晶表示装置の駆動回路の消費電力をより低減することにある。

【0018】

【課題を解決するための手段】本発明の表示装置の駆動回路は、表示パネルのデータ線に対して、走査線のライン周期ごとに、所定階調電圧を出力する出力回路を具備した表示装置の駆動回路において、出力回路は、プリチャージモードに制御されているプリチャージ期間において、プリチャージ電流以外の動作電流が流れない回路構成のプリチャージ機能を有し、前記プリチャージ期間の長さが、前記ライン周期の長さに応じて制御されることを特徴とする。上記の駆動回路において、前記プリチャージ期間の長さが、さらに前記所定階調電圧のレベルに応じた長さに制御されることを特徴とする。また、本発明の表示装置の駆動回路は、表示パネルのデータ線に対して、走査線のライン周期ごとに、プリチャージの後に所定階調電圧を出力する表示装置の駆動回路において、前記ライン周期をカウントする制御レジスタと、前記プリチャージの期間をこのカウント値に応じた長さに設定するタイミング信号を生成するタイミング発生回路と、このタイミング信号のタイミングに基づく制御信号を生成するスイッチ制御回路と、この制御信号によりプリチャージ期間が制御され、このプリチャージ期間において、プリチャージ電流以外の動作電流が流れない回路構成のプリチャージ機能を有し、前記所定階調電圧を出力する出力回路とを具備したことを特徴とする。上記の駆動回路において、前記タイミング信号が、前記所定階調電圧の階調を示す $m$ ビットの上位 $k$  ( $2$ 以上の整数)ビットのデータ信号を前記タイミング発生回路に供給して、前記所定階調電圧のレベルに応じた長さに制御されることを特徴とする。

【0019】

【発明の実施の形態】以下、本発明の一実施例の液晶表示装置の駆動回路について、説明を簡明にするために、

データ線1本分を駆動するものとして、図1を参照して説明する。尚、図4と同一のものは、同一符号を付して、その説明の一部を省略する。図において200はデータ線駆動回路で、図4に示したものと同一の出力回路10およびD/A変換回路20と、出力回路10に含まれるスイッチを制御するスイッチ制御回路50と、スイッチ制御回路50にタイミング信号を供給するタイミング発生回路60と、ライン周期信号の周期をカウントし、そのカウント値を蓄えタイミング発生回路60に供給する制御レジスタ70とを具備している。

【0020】このデータ線駆動回路200の動作を図2を参照して説明する。尚、図2には、図5の第1ライン周期 $T1_1$ ：時刻 $t0_1 \sim t3_1$ に対応するものとして、図2の(1)に動画表示のときのライン周期 $T1_a$ を示し、図2の(2)に静止画表示のときのライン周期 $T1_s$ を示す。ライン周期 $T1_a$ は、プリチャージ期間 $T2_{a1}$ ：時刻 $t0_a \sim t2_{a1}$ に電源電圧 $V_{DD}$ を出力後に、階調電圧 $V1 \sim V2$ のうちの1つの階調電圧として、例えば $V2$ （実線）を出力し、プリチャージ期間 $T2_{a2}$ ：時刻 $t0_a \sim t2_{a2}$ に電源電圧 $V_{DD}$ を出力後に、階調電圧 $V3 \sim V4$ のうちの1つの階調電圧として、例えば $V4$ （点線）を出力する場合を例として示す。ライン周期 $T1_s$ は、プリチャージ期間 $T2_{s1}$ ：時刻 $t0_s \sim t2_{s1}$ に電源電圧 $V_{DD}$ を出力後に、階調電圧 $V1 \sim V2$ のうちの1つの階調電圧として、例えば $V2$ （実線）を出力し、プリチャージ期間 $T2_{s2}$ ：時刻 $t0_s \sim t2_{s2}$ に電源電圧 $V_{DD}$ を出力後に、階調電圧 $V3 \sim V4$ のうちの1つの階調電圧として、例えば $V4$ （点線）を出力する場合を例として示す。

【0021】尚、図5の第2ライン周期 $T1_2$ ：時刻 $t0_2 \sim t3_2$ に対応するものとして、階調電圧 $V5 \sim V8$ を出力する場合の例は、第1ライン周期 $T1_1$ に対応するものに準じるので図2での図示および説明を省略する。また、本実施例における第1タイミング信号に基づく $SW1$  ( $SW1'$ )、 $SW2$  ( $SW2'$ )の動作は、従来技術で説明した動作と同様であり、図5の(B)、(D)、(E)に対応する図2での図示およびその説明を省略する。また、第2タイミング信号に基づく $SW3$  ( $SW3'$ )、 $SW4$  ( $SW4'$ )の動作も、従来技術で説明した動作に準じるので、図5の(C)に対応する図は、図2で図示するが、(F)、(G)、(H)に対応する図2での図示およびその説明は省略する。

【0022】先ず、動画表示のときのライン周期 $T1_a$ について説明する。制御レジスタ70において、動画表示のときのライン周期 $T1_a$ を規制するライン周期信号が供給される(図2の(1)の(A))と、ライン周期 $T1_a$ がカウントされ、そのカウント数が記憶され、そのカウント信号がタイミング発生回路60に供給される。また、タイミング発生回路60には、データ信号D Aの上位 $k=2$ ビット信号D3、D2が供給される。

【0023】タイミング発生回路60において、カウント信号の周期ごとに、期間T3：時刻 $t_0 \sim t_1$ をパルス波形とする第1タイミング信号が生成されるとともに、カウント信号に基づき、期間T2<sub>a</sub>：時刻 $t_0 \sim t_2$ をパルス波形とする第2タイミング信号が生成される。ここで、第2タイミング信号としては、2ビット信号D3、D2に基づき、表2に示すように、期間T2<sub>a1</sub>：時刻 $t_0 \sim t_2$ をパルス波形とする第2(1)タイミング信号、または、期間T2<sub>a2</sub>：時刻 $t_0 \sim t_2$ をパルス波形とする第2(2)タイ

【0024】

【表2】

T2d1>T2d2, T2a1>T2a2		
データ信号	プリチャージ期間	
D3	D2	T2
0	0	T2d1, T2a1
0	1	T2d2, T2a2
1	0	T2d2, T2a2
1	1	T2d1, T2a1

【0025】スイッチ制御回路50において、第1タイミング信号に基づいて、従来技術欄で説明したのと同様に、スイッチSW1(SW1')、SW2(SW2')を切替える制御信号がそれぞれ生成され、これらの制御信号が出力回路10に供給される。また、スイッチ制御回路50において、第2(1)タイミング信号のタイミング、または、第2(2)タイミング信号のタイミングで、ビット信号D3に基づいて、従来技術欄で説明したの

【0026】次に、動画表示のときのライン周期T1<sub>a</sub>において、まず、階調電圧V2(実線)を出力する場合について説明する。時刻 $t_0$ にて、データ信号DA="001"がD/A変換回路20に供給されるとともに、データ信号DAの上位2ビット信号D3、D2="00"がタイミング発生回路60に供給され、上位1ビット信号D3="0"がスイッチ制御回路50に供給される。また、制御レジスタ70からタイミング発生回路60に、動画表示のときのライン周期T1<sub>a</sub>のカウント信号が供給される。そして、タイミング発生回路60からスイッチ制御回路50に、第1タイミング信号が供給されるとともに、2ビット信号D3、D2="00"とカウント信号に基づき、期間T2<sub>a1</sub>：時刻 $t_0 \sim t_2$ をパルス波形とする第2(1)タイミング信号が供給される(図2の(1)の(C)の実線)。データ信号DA="001"がD/A変換回路20に供給され

10の入力電圧V<sub>in</sub>として出力回路10に供給される。上位1ビット信号D3="0"、第1タイミング信号および第2(1)タイミング信号がスイッチ制御回路50に供給されると、スイッチ制御回路50からの制御信号により、出力回路10は従来技術欄で説明したのに従って動作し、出力電圧V<sub>out</sub>は、時刻 $t_0 \sim t_2$ のプリチャージ期間T2<sub>a1</sub>に電圧V<sub>DD</sub>となり、時刻 $t_2$ から所定時間後に入力電圧V<sub>in</sub>=V2とほぼ等しくなる(図2の(1)の(I)の実線)。

【0027】次に、階調電圧V4(点線)を出力する場合について説明する。時刻 $t_0$ にて、データ信号DA="011"がD/A変換回路20に供給されるとともに、データ信号DAの上位2ビット信号D3、D2="01"がタイミング発生回路60に供給され、上位1

ビット信号D3="0"がスイッチ制御回路50に供給される。また、制御レジスタ70からタイミング発生回路60に、動画表示のときのライン周期T1<sub>a</sub>のカウント信号が供給される。そして、タイミング発生回路60からスイッチ制御回路50に、第1タイミング信号が供給されるとともに、2ビット信号D3、D2="01"とカウント信号に基づき、期間T2<sub>a2</sub>：時刻 $t_0 \sim t_2$ をパルス波形とする第2(2)タイミング信号が供給される(図2の(1)の(C)の点線)。データ信号DA="011"がD/A変換回路20に供給されると、D/A変換回路20から階調電圧V4が出力回路10の入力電圧V<sub>in</sub>として出力回路10に供給される。上位1ビット信号D3="0"、第1タイミング信号および第2(2)タイミング信号がスイッチ制御回路50に供給されると、スイッチ制御回路50からの制御信号により、出力回路10は従来技術欄で説明したのに従って動作し、出力電圧V<sub>out</sub>は、時刻 $t_0 \sim t_2$ のプリチャージ期間T2<sub>a2</sub>に電圧V<sub>DD</sub>となり、時刻 $t_2$ から所定時間後に入力電圧V<sub>in</sub>=V4とほぼ等しくなる(図2の(1)の(I)の点線)。

【0028】次に、静止画表示のときのライン周期T1<sub>s</sub>について説明する。制御レジスタ70において、静止画表示のときのライン周期T1<sub>s</sub>を規制するライン周期信号が供給される(図2の(2)の(A))と、ライン周期T1<sub>s</sub>がカウントされ、そのカウント数が記憶され、そのカウント信号がタイミング発生回路60に供給される。また、タイミング発生回路60には、データ信号DAの上位k=2ビット信号D3、D2が供給される。

【0029】タイミング発生回路60において、カウント信号の周期ごとに、期間T3：時刻 $t_0 \sim t_1$ をパルス波形とする第1タイミング信号が生成されるとともに、カウント信号に基づき、期間T2<sub>s</sub>：時刻 $t_0 \sim t_2$ をパルス波形とする第2タイミング信号が生成される。ここで、第2タイミング信号としては、2ビット信号D3、D2に基づき、表2に示すように、期間T2

$s_1$  : 時刻  $t_{0s} \sim t_{2s_1}$  をパルス波形とする第2 (1) タイミング信号、または、期間  $T_{2s_2}$  : 時刻  $t_{0s} \sim t_{2s_2}$  をパルス波形とする第2 (2) タイミング信号が生成される (図2の(2)の(C))。そして、これらのタイミング信号がスイッチ制御回路50に供給される。また、スイッチ制御回路50には、データ信号DAの上位1ビット信号D3が供給される。

【0030】スイッチ制御回路50において、第1タイミング信号に基づいて、従来技術欄で説明したのと同様に、スイッチSW1 (SW1')、SW2 (SW2') を切替える制御信号がそれぞれ生成され、これらの制御信号が出力回路10に供給される。また、スイッチ制御回路50において、第2 (1) タイミング信号のタイミング、または、第2 (2) タイミング信号のタイミングで、ビット信号D3に基づいて、従来技術欄で説明したの準じて、スイッチSW3 (SW3')、SW4 (SW4') を切替える制御信号がそれぞれ生成され、これらの制御信号が出力回路10に供給される。

【0031】次に、静止画表示のときのライン周期  $T_{1s}$  において、先ず、階調電圧V2 (実線) を出力する場合について説明する。時刻  $t_{0s}$  にて、データ信号DA = "001" がD/A変換回路20に供給されるとともに、データ信号DAの上位2ビット信号D3、D2 = "00" がタイミング発生回路60に供給され、上位1ビット信号D3 = "0" がスイッチ制御回路50に供給される。また、制御レジスタ70からタイミング発生回路60に、静止画表示のときのライン周期  $T_{1s}$  のカウント信号が供給される。そして、タイミング発生回路60からスイッチ制御回路50に、第1タイミング信号が供給されるとともに、2ビット信号D3、D2 = "00" とカウント信号に基づき、期間  $T_{2s_1}$  : 時刻  $t_{0s} \sim t_{2s_1}$  をパルス波形とする第2 (1) タイミング信号が供給される (図2の(2)の(C)の実線)。データ信号DA = "001" がD/A変換回路20に供給されると、D/A変換回路20から階調電圧V2が出力回路10の入力電圧  $V_{in}$  として出力回路10に供給される。上位1ビット信号D3 = "0"、第1タイミング信号および第2 (1) タイミング信号がスイッチ制御回路50に供給されると、スイッチ制御回路50からの制御信号により、出力回路10は従来技術欄で説明したの準じて動作し、出力電圧  $V_{out}$  は、時刻  $t_{0s} \sim t_{2s_1}$  のプリチャージ期間  $T_{2s_1}$  に電圧  $V_{DD}$  となり、時刻  $t_{2s_1}$  から所定時間後に入力電圧  $V_{in} = V2$  とほぼ等しくなる。(図2の(2)の(I)の実線)。

【0032】次に、階調電圧V4 (点線) を出力する場合について説明する。時刻  $t_{0s}$  にて、データ信号DA = "011" がD/A変換回路20に供給されるとともに、データ信号DAの上位2ビット信号D3、D2 = "01" がスイッチ制御回路50に供給され、上位1ビット信号D3 = "0" がスイッチ制御回路50に供給さ

れる。また、制御レジスタ70からタイミング発生回路60に、静止画表示のときのライン周期  $T_{1s}$  のカウント信号が供給される。そして、タイミング発生回路60からスイッチ制御回路50に、第1タイミング信号が供給されるとともに、2ビット信号D3、D2 = "01" とカウント信号に基づき、期間  $T_{2s_2}$  : 時刻  $t_{0s} \sim t_{2s_2}$  をパルス波形とする第2 (2) タイミング信号が供給される (図2の(2)の(C)の点線)。データ信号DA = "011" がD/A変換回路20に供給されると、D/A変換回路20から階調電圧V4が出力回路10の入力電圧  $V_{in}$  として出力回路10に供給される。上位1ビット信号D3 = "0"、第1タイミング信号および第2 (2) タイミング信号がスイッチ制御回路50に供給されると、スイッチ制御回路50からの制御信号により、出力回路10は従来技術欄で説明したの準じて動作し、出力電圧  $V_{out}$  は、時刻  $t_{0s} \sim t_{2s_2}$  のプリチャージ期間  $T_{2s_2}$  に電圧  $V_{DD}$  となり、時刻  $t_{2s_2}$  から所定時間後に入力電圧  $V_{in} = V4$  とほぼ等しくなる (図2の(2)の(I)の点線)。

【0033】以上に説明したように、ライン周期の長さに応じて、また、さらに、階調電圧のレベルに応じて、プリチャージ期間の長さを制御するので、ライン周期におけるアクティブ状態の期間を短くでき、より低消費電力の駆動回路を提供することができる。尚、上記実施例において、出力回路をMOSトランジスタで構成した場合について説明したが、他のゲート絶縁型トランジスタで構成しても同様の作用と効果を得ることができる。また、出力回路は、図3に示した回路に限定されることなく、プリチャージ機能を有し、プリチャージモードに制御されているプリチャージ期間において、プリチャージ電流以外の動作電流が流れないものであれば、本発明の駆動回路に使用することができる。また駆動回路は、液晶パネル以外の容量性負荷からなる表示パネルのデータ線に階調電圧を供給する駆動回路にも用いることができる。

【0034】

【発明の効果】以上に説明したように本発明によれば、プリチャージ期間をライン周期の長さに応じて制御して、出力回路のアクティブ状態を必要最低限の長さにするにより、消費電力を低減できる。また、さらに、プリチャージ期間を階調電圧のレベルに応じて制御して、出力回路のアクティブ状態を必要最低限の長さにするにより、さらに消費電力を低減できる。

【図面の簡単な説明】

【図1】 本発明の一実施例の液晶表示装置の駆動回路を示すブロック図。

【図2】 図1の駆動回路の回路動作を示すタイミング図。

【図3】 液晶表示装置の駆動回路に用いられる出力回路を示す回路図。



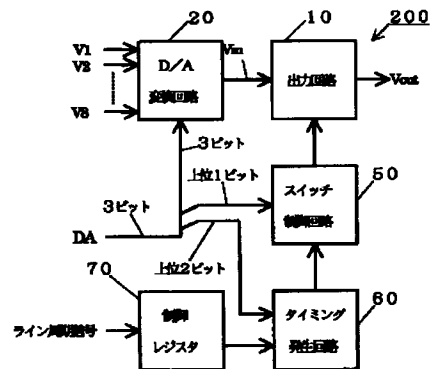
【図4】 図3の出力回路を用いた従来の液晶表示装置の駆動回路を示すブロック図。

【図5】 図4の駆動回路の回路動作を示すタイミング図。

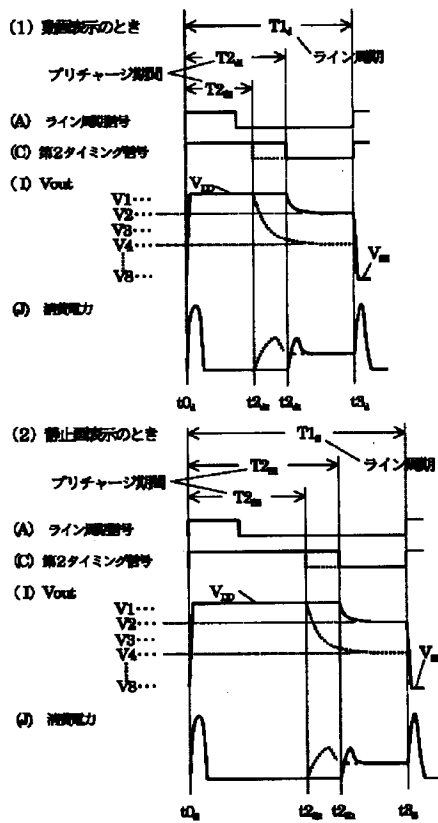
【符号の説明】

\* 10 出力回路  
20 D/A変換回路  
50 スイッチ制御回路  
60 タイミング発生回路  
\* 70 制御レジスタ

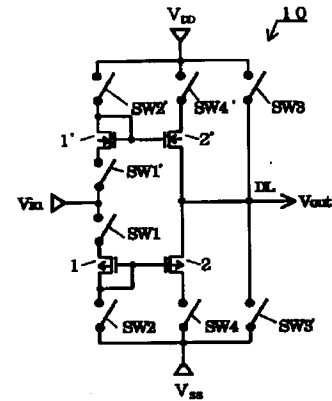
【図1】



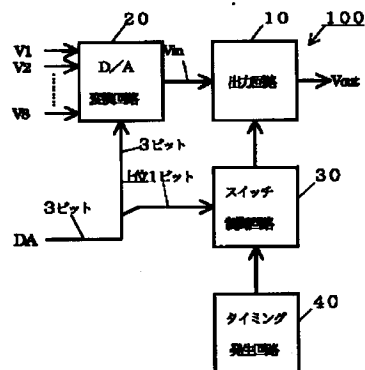
【図2】



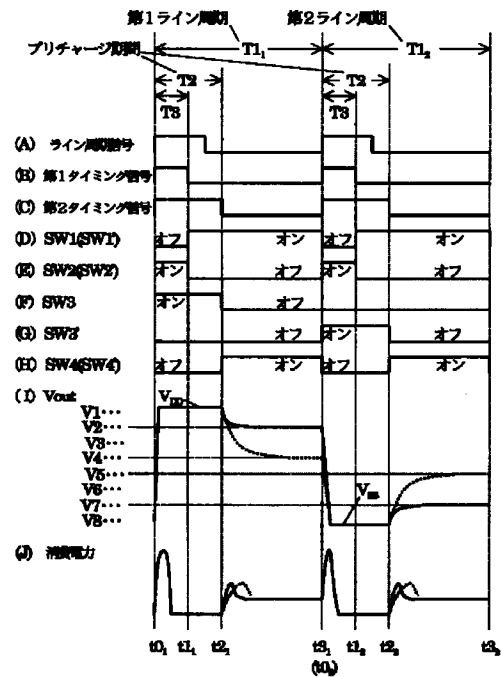
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B
	6 4 1		6 4 1 C
	6 6 0		6 6 0 U

F ターム (参考) 2H093 NA51 NB14 NC02 NC11 NC16  
 NC24 NC34 ND39  
 5C006 AA01 AA02 AA16 AC21 AF42  
 AF45 AF51 AF52 AF53 AF69  
 AF71 AF83 BB15 BC03 BC12  
 FA47  
 5C080 AA10 BB05 DD26 EE19 FF11  
 JJ02 JJ03 JJ04 KK07